“CONVOCATORIA PARA EL CONCURSO DE ELECTRÓNICA LÓGICA DIGITAL”

El Instituto Tecnológico Superior de Calkiní, en el marco de su XXV Aniversario, a través de la carrera de Ingeniería Mecatrónica, la Academia de Ingeniería Mecatrónica, CIM ITESCAM y la División del Programa Educativo de Ingeniería Mecatrónica convocan A todos los alumnos regulares de las diferentes carreras a participar en el **"Concurso de Electrónica Lógica Digital"**, el cual se llevará a cabo en las instalaciones del plantel el día **15 de octubre** del año en curso, en un horario de **10:00 a.m.**

La fecha límite de inscripción es el **30 de septiembre**

BASES DEL CONCURSO

- Podrán participar los alumnos inscritos en cualquier semestre del ITESCAM.
- La participación será voluntaria y será en base a las asignaturas a fines a la Electrónica Digital, Electrónica Analógica, Control Lógico Industrial, Electricidad y Electrónica, Principios Eléctricos y Aplicaciones digitales.
- Deberán inscribirse dentro del plazo estipulado en la siguiente liga o QR.
  REGISTRO

- La participación de los alumnos deberá ser colectiva, en equipos de 2 integrantes
- En cada equipo deberá nombrarse un responsable del equipo.

- Los alumnos participantes deberán asistir puntualmente en la fecha y a la hora que se indiquen por los organizadores. **Nota:** Los equipos que no cumplan con el horario correspondiente quedaran descalificados.
- Los equipos participantes deberán llevar su material Tabla 1. (compuertas lógicas, multímetro, cables etc..) juego de pinzas (corte, punta plana), cutter.
  a) Material por equipo:

Tabla 1. Material Por equipo Resolución de proyectos

N°	*Cantidad*	*Descripción*
1	4	SN74LS32N
2	4	SN74LS08N
3	4	SN7404LS
4	4	SN74LS00N
5	4	SN74LS02N
6	*2*	Protoboard
7	10 Mtrs	Alambre Estañado Para Conexiones (rojo y negro)
8	*5*	Leds verdes
9	*3*	SWITCH DESLIZABLE (DIP SWITCH) DE 4 POSICIONES
10	*5*	330 ohms, 220 ohms, 4.7k (5 piezas de cada una)

OBJETIVOS

- Promover en los jóvenes el estudio de la lógica, a través de incitar, cultivar y perfeccionar en ellos su interés por esta disciplina.
- Incrementar en los jóvenes el interés y gusto por lo lógica digital.
- Suscitar la revisión de objetivos, contenidos y estrategias de la enseñanza de la lógica en las aulas.
- Promover un espíritu de sana competencia estudiantil.

Sede del evento:

El evento se llevará acabo en las instalaciones del Instituto Tecnológico Superior de Calkiní aula triple del edificio D

CRITERIOS DE EVALUACIÓN

Etapa 1:

1.1 Se le entregará a cada equipo un caso práctico, el cual tendrá que resolver por lógica digital usando álgebra booleana y minimización de funciones usando:

- Mapas de Karnaugh o en su caso Método Tabular

1.2 Posteriormente una vez obtenida la función minimizada, se realizara el circuito físico para su verificación y funcionamiento.

1.3 El tiempo que tendrán para resolver el caso práctico es de 20 min.

Nota: Consideraciones para evaluar

a) El Planteamiento del problema
b) Obtener la función de álgebra booleana
c) Minimizar la función booleana
d) Armado físico
    - Estética de circuito
    - Funcionalidad del circuito.

Etapa 2.

2.1 Los 15 Primeros equipos en entregar, una vez comprobado su caso práctico y funcional, pasaran a la etapa 2 final del evento, donde saldrán los 3 primeros lugares.

PREMIACIÓN

Los Organizadores del "**Concurso de Electrónica Lógica Digital**", otorgará diploma a los jurados participantes. Premiación para los tres primeros lugares.

Para cualquier aclaración, consulta o solicitud de información adicional relacionada con la Convocatoria los interesados podrán dirigirse a la División del Programa Educativo de Ingeniería Mecatrónica, de lunes a viernes de las 9:00 a 18:00 horas (hora del centro de México), a través del correo electrónico cadeccena@itescam.edu.mx . Asimismo, se podrá utilizar el formulario de contacto disponible en el sitio web oficial del ITESCAM.

Atentamente

Comité Organizador.